

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

International Patent Application of:
PEZZINI

Serial No. **10/727,147**

Confirmation No. **5293**

Filing Date: **DECEMBER 3, 2003**

For: **METHOD FOR CONTROLLING
INTERRUPTS AND AUXILIARY
CONTROL CIRCUIT**

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the
priority Italian Application No. VA2002A000066.

Respectfully submitted,

JOHN F. WOODSON, II

Reg. No. 45,236

Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.

255 S. Orange Avenue, Suite 1401

Post Office Box 3791

Orlando, Florida 32802

Telephone: 407/841-2330

Fax: 407/841-2343

Attorney for Applicants

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: Commissioner for Patents, P.O.
Box 1450, Alexandria, VA 22313-1450, on this 29th day of March,
2004.



Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. VA2002 A 000066



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

19 DIC. 2003

Roma, li

IL DIRIGENTE

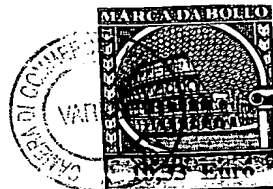
[Signature]
D.ssa Paola DI CINTIO

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO



A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l. N.G. SR
Residenza Agrate Brianza (MI) codice 00951900968
2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome Barbaro Gaetano ed altri cod. fiscale _____
denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.
via Piazza Repubblica n. 5 città VARESE cap 21100 (prov) VA

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____
classe proposta (sez/cl/scl) _____ gruppo/sottogruppo _____ / _____

D. TITOLO

METODO DI CONTROLLO DELLE INTERRUZIONI E RELATIVO CIRCUITO AUSILIARIO DI CONTROLLO

ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA ____/____/____

N. PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) PEZZINI Saverio 3) _____
2) _____ 4) _____

F. PRIORITA'

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato S/R

SCIOGLIMENTO RISERVE

Data

N° Protocollo

1) _____ / ____ / ____
2) _____ / ____ / ____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV ☐ n. pag. 15
Doc. 2) 2 PROV ☐ n. tav. 8
Doc. 3) 1 RIS ☐
Doc. 4) 0 RIS ☐
Doc. 5) 0 RIS ☐
Doc. 6) 0 RIS ☐
Doc. 7) 0

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)

disegno (obbligatorio se citato in descrizione, 1 esemplare)

lettera d'incarico

designazione inventore

documenti di priorità con traduzione in italiano

autorizzazione o atto di cessione

nominativo completo del richiedente

8) attestati di versamento, totale lire DUECENTONOVANTUNO/80

obbligatorio

COMPILATO IL 04/12/2002

FIRMA DEL (I) RICHIEDENTE (I)

Il Mandatario

Gaetano BarbaroGaetano BARBARO

N° Iscr. Albo 994 B

CONTINUA (SI/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

VARESEcodice 12

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

VA/2002/A/0066

Reg. A

L'anno duemiladue, il giorno QUATTROdel mese di DICEMBREIl (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE NESSUNA

LUISELLA NERO

IL DEPOSITANTE

Luisella Nero

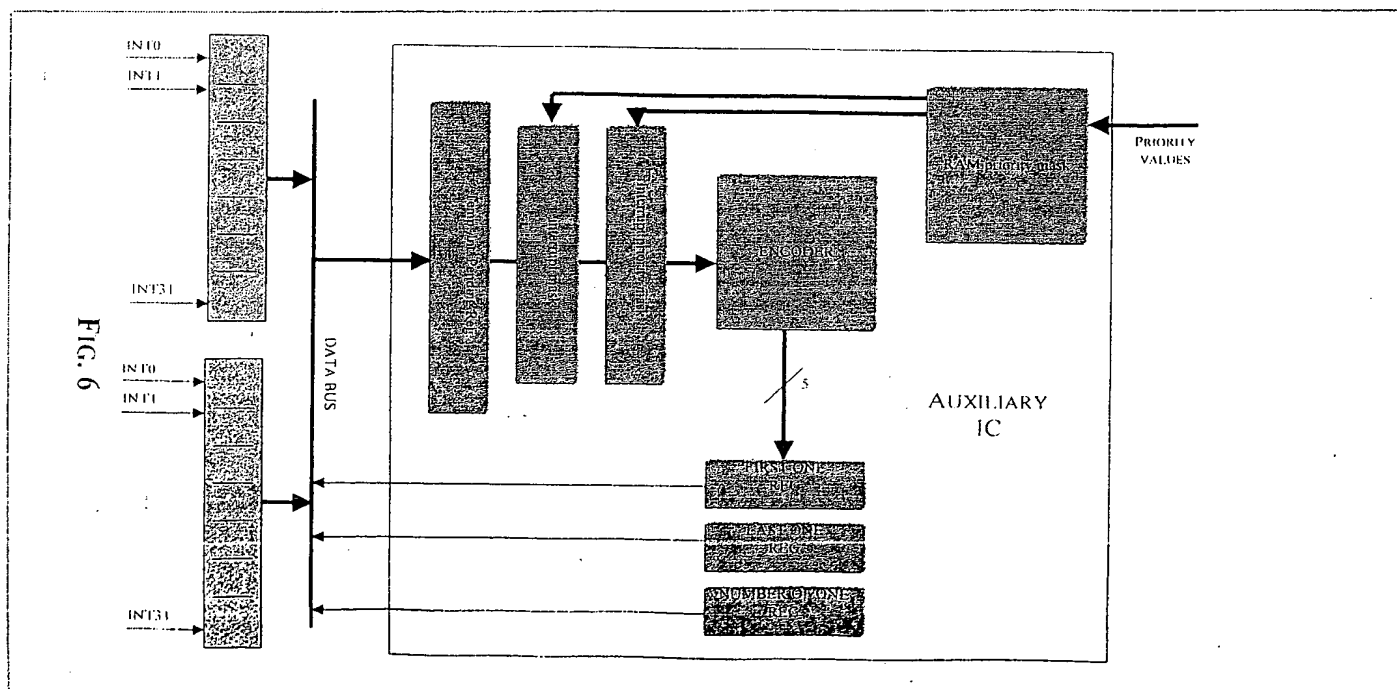
timbro dell'ufficio

LUISELLA DE RORZI
UFFICIALE ROGANTELuisella De Rorzi

Un metodo di controllo delle interruzioni che permette al processore di conoscere rapidamente qual è l'interruzione da servire, anche se al circuito di controllo perviene un unico segnale d'interruzione ottenuto come OR logica di diversi flag d'interruzione, consiste sostanzialmente nel generare una stringa di bit identificativa della posizione di un bit attivo nel registro delle interruzioni pendenti della periferica che ha richiesto l'interruzione, e nell'invviare questa stringa di bit al processore. Così facendo il processore conosce rapidamente quale interruzione deve essere servita e non deve leggere il registro delle interruzioni pendenti.

Questo metodo è implementato in un circuito ausiliario di controllo avente un circuito di codifica che codifica con una stringa di bit la posizione di un bit attivo memorizzato nel registro delle interruzioni pendenti della periferica che ha generato un'interruzione da servire, e invia questa stringa di bit al processore.

Il circuito ausiliario di controllo può essere realizzato come dispositivo a sé stante accoppiato ad una pluralità di periferiche, o opzionalmente può essere incorporato in una rispettiva periferica collegata.



Titolare: STMicroelectronics S.r.l.

**“METODO DI CONTROLLO DELLE INTERRUZIONI E RELATIVO
CIRCUITO AUSILIARIO DI CONTROLLO”**

CAMPO DELL'INVENZIONE

La presente invenzione concerne in generale i sistemi a microprocessore e più in particolare un metodo e un relativo circuito ausiliario di controllo delle interruzioni.

BACKGROUND DELL'INVENZIONE

Durante il funzionamento di un processore, può essere necessario interrompere l'esecuzione del programma in corso per eseguire delle istruzioni particolari. Ciò viene fatto mediante dei segnali detti “interruzioni” (interrupt). Un circuito di controllo delle interruzioni riceve questi segnali dalle periferiche e, in funzione dell'interruzione ricevuta, invia al processore un comando di interruzione e un vettore di interruzione che specifica l'indirizzo di memoria che contiene una relativa routine ISR (Interrupt Service Routine) da eseguire.

Il processore sospende l'operazione in corso, salva lo stato del programma che stava eseguendo, in modo da poterlo riprendere in seguito, ed esegue le istruzioni contenute nella rispettiva routine ISR di servizio dell'interruzione, che varia a seconda dell'interruzione ricevuta. Quando la routine ISR è stata eseguita, il processore ripristina lo stato del programma e, se non ci sono altre interruzioni pendenti, riprende da dove era stato interrotto.

Comunemente, i controllori di interruzione hanno dei registri di priorità che permettono di stabilire quale interruzione, tra più interruzioni ricevute e

pendenti, deve essere servita per prima.

Uno schema di principio di un noto circuito di controllo delle interruzioni con priorità è illustrato in Figura 1. I flag d'interruzione INTO, ..., INTk generati dalle periferiche sono caricati in un registro delle interruzioni pendenti INT PENDING REG.

Il blocco IRQ MASK AND PRIORITY LOGIC comprende sia la cosiddetta "maschera delle interruzioni", sia una logica di priorità. La logica di priorità genera un segnale di richiesta di interruzione IRQ REQ e memorizza nel registro CURR IRQ PRIORITY REG la relativa priorità HIGHEST PRIORITY INT.

Nel riquadro tratteggiato è rappresentato un circuito di elaborazione del segnale di richiesta di interruzione e della relativa priorità HIGHEST PRIORITY INT. Esso comprende una macchina a stati IRQ SM, che costituisce il cuore del circuito di controllo, che riceve il segnale di richiesta di interruzione ed invia un comando di interruzione nIRQ al processore. Il segnale di richiesta d'interruzione IRQ REQ seleziona un vettore di interruzione IRQ VECTOR corrispondente all'interruzione da servire, letto da una tabella delle interruzioni IRQ VECTOR REG contenente vettori di interruzione identificanti routines ISR.

In Figura 1 sono rappresentati un registro CURR IRQ PRIORITY REG e un registro INT PRIORITY STACK che permettono le cosiddette interruzioni nidificate ("nested interrupts"). Il registro CURR IRQ PRIORITY REG memorizza la priorità dell'interruzione correntemente servita. Se viene generata un'interruzione con priorità più alta, il servizio della prima interruzione viene sospeso e la relativa priorità memorizzata nel

registro INT PRIORITY STACK, mentre la nuova interruzione viene servita e la relativa priorità memorizzata nel registro CURR IRQ PRIORITY REG.

Una volta servita la seconda interruzione, viene ripresa l'interruzione precedentemente sospesa, sempre che essa abbia priorità più alta rispetto alle interruzioni pendenti. Una volta che essa è stata servita, viene cancellata dallo stack INT PRIORITY STACK mediante un comando STACK PUSH/POP della macchina a stati IRQ SM.

Il circuito di controllo delle interruzioni ha un numero limitato di ingressi destinato a ricevere i segnali di interruzione provenienti dalle periferiche, per cui, come mostrato in Figura 2, solo qualche periferica potrà usufruire di un insieme di piedini del circuito di controllo delle interruzioni ciascuno dedicato ad un rispettivo segnale di interruzione, mentre le altre periferiche usufruiranno solo di un piedino comune per tutte le interruzioni.

Come indicato schematicamente in Figura 3, la periferica A è collegata al circuito di controllo delle interruzioni in modo che ad ogni possibile segnale d'interruzione corrisponda un pin dedicato del circuito di controllo, mentre la periferica B dispone di un solo pin del circuito di controllo delle interruzioni INTERRUPT CONTROLLER per tutti i suoi segnali d'interruzione.

Il circuito di controllo delle interruzioni riceve un segnale d'interruzione IRQm ottenuto come OR logica delle interruzioni memorizzate nel registro delle interruzioni pendenti della periferica B. Quando il segnale IRQm è attivo, il circuito di controllo delle interruzioni fornisce al processore un comando di interruzione nIRQ e un vettore di interruzione IRQVECTOR identificante una routine di servizio ISR dell'interruzione che preveda la lettura del registro delle interruzioni pendenti

della periferica B, l'individuazione dell'interruzione e il servizio di essa.

Chiaramente tutte queste operazioni rallentano il processore che esegue la routine ISR, perché deve leggere il registro delle interruzioni pendenti della periferica B prima di poter servire l'interruzione.

SCOPO E SOMMARIO DELL'INVENZIONE

È stato trovato ed è l'oggetto della presente invenzione un metodo di controllo delle interruzioni che permette al processore di conoscere rapidamente qual è l'interruzione da servire, anche se al circuito di controllo perviene un unico segnale d'interruzione ottenuto come OR logica di diversi flag d'interruzione.

Sostanzialmente, l'invenzione consiste nel generare una stringa di bit identificativa della posizione di un bit attivo nel registro delle interruzioni pendenti della periferica che ha richiesto l'interruzione, e nell'inviare questa stringa di bit al processore. Così facendo il processore conosce rapidamente quale interruzione deve essere servita e non deve leggere il registro delle interruzioni pendenti.

Più precisamente un oggetto della presente invenzione è un metodo di controllo di interruzioni generate da una periferica, comprendente le operazioni di:

- memorizzare in un registro delle interruzioni pendenti bit attivi corrispondenti a flag d'interruzione generati dalla periferica;
- inviare ad un circuito di controllo delle interruzioni accoppiato alla periferica un segnale d'interruzione ottenuto come OR logica di flag d'interruzione;
- quando al circuito di controllo delle interruzioni perviene il segnale



d'interruzione, identificare e servire l'interruzione.

L'identificazione dell'interruzione da servire è facilitata con il metodo dell'invenzione perché esso prevede le operazioni di generare una rispettiva stringa di bit identificativa di un bit attivo corrispondente all'interruzione che deve essere servita, inviare tale stringa di bit ad un processore che servirà l'interruzione e servire l'interruzione corrispondente alla stringa di bit.

Il metodo dell'invenzione è implementato in un circuito ausiliario di controllo avente un circuito di codifica che codifica con una stringa di bit la posizione di un bit attivo memorizzato nel registro delle interruzioni pendenti della periferica che ha generato un'interruzione da servire, e invia questa stringa di bit al processore.

Il circuito ausiliario di controllo dell'invenzione può essere realizzato come dispositivo a sé stante accoppiato ad una pluralità di periferiche, o opzionalmente può essere incorporato in una rispettiva periferica collegata.

L'invenzione è più precisamente definita nelle annesse rivendicazioni.

BREVE DESCRIZIONE DEI DISEGNI

I diversi aspetti e vantaggi dell'invenzione risulteranno ancor più evidenti attraverso una descrizione dettagliata facendo riferimento ai disegni allegati, in cui:

la **Figura 1** è uno schema basilare di un circuito di controllo delle interruzioni noto;

la **Figura 2** è uno schema di un sistema a microprocessore in cui alcune periferiche inviano interruzioni su piedini dedicati del circuito di controllo, mentre interruzioni di altre periferiche sono poste in OR;

la **Figura 3** mostra due registri di interruzioni pendenti collegati in

modo diverso ad un circuito di controllo delle interruzioni;

la **Figura 4** mostra una prima forma di realizzazione di un circuito ausiliario di controllo delle interruzioni dell'invenzione, collegato a più periferiche;

la **Figura 5** mostra una seconda forma di realizzazione di un circuito ausiliario di controllo delle interruzioni dell'invenzione, incorporante un circuito di maschera delle interruzioni con priorità;

la **Figura 6** mostra una seconda forma di realizzazione di un circuito ausiliario di controllo delle interruzioni dell'invenzione avente anche una memoria RAM di definizione dei livelli di priorità delle interruzioni;

la **Figura 7** mostra un sistema a microprocessore avente il circuito ausiliario di controllo delle interruzioni dell'invenzione;

la **Figura 8** mostra una periferica incorporante il circuito ausiliario di controllo delle interruzioni dell'invenzione, i cui segnali di interruzione sono posti in OR prima di essere inviati al circuito di controllo delle interruzioni.

DESCRIZIONE DI UNA FORMA DI REALIZZAZIONE DELL'INVENZIONE

Una prima forma di realizzazione del circuito ausiliario di controllo di interruzioni dell'invenzione AUXILIARY IC è mostrato in Figura 4. Esso è preferibilmente realizzato come un dispositivo distinto dalle periferiche e dal circuito di controllo delle interruzioni INTERRUPT CONTROLLER ed è collegato a più periferiche tramite un bus DATA BUS.

Il circuito ausiliario dell'invenzione permette di servire rapidamente le interruzioni perché ha al suo interno un circuito di codifica ENCODER che genera una stringa di bit che identifica la posizione di un bit attivo, contenuto nel registro delle interruzioni pendenti della periferica che ha richiesto

un'interruzione, corrispondente all'interruzione da servire. Questa stringa di bit viene inviata al processore CPU che così sa immediatamente quale interruzione deve essere servita, anche se il circuito di controllo ha ricevuto un segnale d'interruzione corrispondente alla OR logica di diversi flag d'interruzione. In questo modo il processore non è obbligato a leggere il contenuto del registro delle interruzioni pendenti della periferica che ha chiesto l'interruzione, ma può servire direttamente l'interruzione.

Secondo la forma di realizzazione della Figura 4, il circuito ausiliario AUXILIARY IC ha un registro ausiliario TEMP INT PENDING REG all'operazione di codifica. Quando un segnale di interruzione IRQ viene ricevuto dal circuito di controllo delle interruzioni, il processore CPU identifica la periferica da cui proviene e copia l'intero contenuto del relativo registro delle interruzioni pendenti PERIPHERAL INT PENDING REG nel registro ausiliario TEMP INT PENDING REG.

Il circuito di codifica ENCODER genera una stringa di bit identificante la posizione di un primo bit attivo contenuto nel registro ausiliario e la invia al processore, tramite il registro FIRST ONE REG e il bus DATA BUS. Nell'esempio di figura, le periferiche collegate hanno registri delle interruzioni pendenti a 32 bit, per cui è sufficiente una stringa di 5 bit per codificare la posizione del primo bit attivo.

Preferibilmente, il circuito di codifica ENCODER genera anche una seconda stringa di bit, identificante un ultimo bit attivo contenuto nel registro ausiliario, o ancora una terza stringa di bit codificante il numero di bit attivi contenuti in esso. Queste due ultime stringhe sono memorizzate in rispettivi registri dedicati LAST ONE REG e NUMBER OF ONE REG prima di essere

0 6 2002

inviato al processore.

Preferibilmente, come illustrato in Figura 5 il circuito ausiliario dell'invenzione ha una maschera delle interruzioni con priorità INT MASK e INT PRIORITY MASK, e il primo bit attivo identificato dalla stringa generata dal circuito di codifica ENCODER corrisponde alla prima interruzione con priorità più alta.

Per esempio, si supponga che il registro ausiliario contenga la seguente stringa:

0001 0010 0011 1100 1000 1000 0000 0000

e che la maschera delle interruzioni con priorità assegni ai bit dal nono al ventesimo una priorità più alta rispetto ai rimanenti. In questo caso, il circuito di codifica ENCODER identificherà l'undicesimo bit con la prima stringa, in quanto è il primo bit attivo con priorità più alta.

Nel caso in cui il registro ausiliario contenga la stringa

0001 0010 0000 0000 0000 1000 0000 0000

e la maschera delle interruzioni con priorità sia la stessa dell'esempio precedente, la prima stringa del circuito ENCODER identificherà il quarto bit.

Secondo un'altra forma di realizzazione, illustrata in Figura 6, il circuito ausiliario di controllo delle interruzioni dell'invenzione ha una memoria scrivibile RAM PRIORITY MASK che contiene valori di priorità per configurare di volta in volta la maschera delle interruzioni con priorità.

Dato nel circuito di controllo delle interruzioni INTERRUPT CONTROLLER è presente una memoria che svolge la medesima funzione, è preferibile incorporare il circuito ausiliario dell'invenzione nel circuito di controllo delle interruzioni in modo da usare una sola memoria. Ciò risulta



ancor più conveniente se si considera che la memoria del circuito di controllo delle interruzioni che contiene i valori di priorità in genere viene periodicamente aggiornata: installare una tale memoria RAM PRIORITY MASK anche nel circuito ausiliario di controllo significherebbe quindi duplicare le operazioni di aggiornamento dei valori di priorità.

Il circuito ausiliario di controllo delle interruzioni dell'invenzione AUXILIARY IC può essere un componente a sé stante collegato a più periferiche, come mostrato in Figura 7, oppure può essere incorporato direttamente in una rispettiva periferica fornente al circuito di controllo delle interruzioni un segnale d'interruzione corrispondente alla OR logica di diversi flag d'interruzione, come mostrato in Figura 8.

Facendo riferimento alla figura citata, la periferica è rappresentata come composta idealmente dal registro delle interruzioni pendenti INT PENDING REG e dalla parte rimanente PERIPHERAL KERNEL. Il blocco PERIPHERAL KERNEL genera i flag d'interruzione INT0, ..., INTN che vengono memorizzati nel registro delle interruzioni pendenti INT PENDING REG, mentre una porta OR genera il segnale d'interruzione IRQm fornito al circuito di controllo INTERRUPT CONTROLLER processore come OR dei vari flag d'interruzione.

Il circuito ausiliario di controllo legge il registro delle interruzioni pendenti e genera almeno un codice che identifica un primo bit attivo nel registro INT PENDING REG e lo invia al processore tramite il bus DATA BUS.

Opzionalmente, il circuito ausiliario incorporato nella periferica incorpora anche una maschera di priorità, come illustrato in Figura 5.

RIVENDICAZIONI

1. Metodo di controllo di interruzioni generate da una periferica, comprendente le operazioni di:

memorizzare in un registro delle interruzioni pendenti bit attivi corrispondenti a flag d'interruzione generati da detta periferica,

inviare ad un circuito di controllo delle interruzioni (INTERRUPT CONTROLLER) accoppiato a detta periferica un segnale d'interruzione ottenuto come OR logica di detti flag d'interruzione,

quando a detto circuito di controllo delle interruzioni (INTERRUPT CONTROLLER) perviene detto segnale d'interruzione, identificare e servire l'interruzione,

caratterizzato dal fatto che comprende

generare una rispettiva stringa di bit identificativa di un bit attivo corrispondente all'interruzione che deve essere servita;

inviare detta stringa di bit ad un processore che servirà l'interruzione;

servire l'interruzione corrispondente a detta stringa di bit.

2. Il metodo della rivendicazione 1, in cui detta stringa di bit individua la posizione del primo bit attivo in detto registro delle interruzioni pendenti della periferica che ha richiesto l'interruzione.

3. Il metodo della rivendicazione 1, comprendente generare una seconda stringa di bit individuante la posizione dell'ultimo bit attivo in detto registro delle interruzioni pendenti della periferica che ha richiesto l'interruzione.

4. Il metodo della rivendicazione 1, comprendente generare una

0 4 13 2002

terza stringa di bit individuante il numero di bit attivi in detto registro delle interruzioni pendenti della periferica che ha richiesto l'interruzione.

5. Il metodo della rivendicazione 1, comprendente

una volta identificata la periferica che ha generato il relativo flag d'interruzione, copiare il contenuto del relativo registro delle interruzioni pendenti in un registro ausiliario;

generare detta stringa di bit in funzione del contenuto di detto registro ausiliario.

6. Circuito ausiliario di controllo di interruzioni, collegabile ad un circuito di controllo delle interruzioni (INTERRUPT CONTROLLER), ad un processore e ad almeno una periferica, a detta periferica essendo associato un registro delle interruzioni pendenti (INT PENDING REG), detto circuito di controllo (INTERRUPT CONTROLLER) ricevente un segnale di interruzione (IRQ) corrispondente alla OR logica di flag d'interruzione memorizzati in detto registro (INT PENDING REG), detto circuito ausiliario comprendente

un circuito di codifica (ENCODER) accoppiato a detto registro delle interruzioni pendenti (INT PENDING REG), inviante a detto processore una stringa di bit di codificazione della posizione di un bit attivo memorizzato in detto registro delle interruzioni pendenti (INT PENDING REG) corrispondente ad un'interruzione da servire.

7. Il circuito ausiliario della rivendicazione 6, comprendente

un registro ausiliario (TEMP INT PENDING REG) di capacità uguale a quella del registro delle interruzioni pendenti (INT PENDING REG) associato a detta periferica collegata, in cui copiare il contenuto di detto registro delle interruzioni pendenti (INT PENDING REG);

04 DIC 2002



detto circuito di codifica (ENCODER) essendo accoppiato a detto registro ausiliario (TEMP INT PENDING REG) e detta stringa di bit codificando la posizione di un bit attivo memorizzato in detto registro ausiliario (TEMP INT PENDING REG).

8. Il circuito ausiliario della rivendicazione 6, comprendente un registro (FIRST ONE REG) in cui memorizzare detta stringa di bit codificante la posizione del primo bit attivo in detto registro delle interruzioni pendenti (INT PENDING REG).

9. Il circuito ausiliario della rivendicazione 6, comprendente un registro (LAST ONE REG) in cui memorizzare una seconda stringa di bit codificante la posizione di un ultimo bit attivo in detto registro delle interruzioni pendenti (INT PENDING REG).

10. Il circuito ausiliario della rivendicazione 6, comprendente un registro (NUMBER OF ONE REG) in cui memorizzare una terza stringa di bit generata da detto circuito di codifica (ENCODER) codificante il numero di bit attivi in detto registro delle interruzioni pendenti (INT PENDING REG).

11. Il circuito ausiliario della rivendicazione 6, comprendente inoltre un circuito di maschera delle interruzioni con priorità (INT MASK, INT PRIORITY MASK), detta prima stringa di bit codificando la posizione di un bit attivo corrispondente ad un'interruzione pendente con priorità più alta.

12. Il circuito ausiliario della rivendicazione 11, comprendente inoltre una memoria scrivibile (RAM PRIORITY MASK) in cui sono memorizzati valori di priorità forniti da detto circuito di controllo delle



interruzioni, detto circuito di maschera delle interruzioni con priorità (INT MASK, INT PRIORITY MASK) essendo configurato a seconda della periferica che ha generato un'interruzione in funzione di rispettivi valori di priorità memorizzati in detta memoria scrivibile (RAM PRIORITY MASK).

13. Periferica accoppiabile ad un processore e ad un circuito di controllo delle interruzioni (INTERRUPT CONTROLLER), associata ad un registro delle interruzioni pendenti (INT PENDING REG), detto circuito di controllo (INTERRUPT CONTROLLER) ricevente un segnale di interruzione (IRQ) corrispondente alla OR logica dei flag d'interruzione generati dalla periferica e memorizzati in detto registro (INT PENDING REG), caratterizzata dal fatto che comprende un circuito ausiliario di controllo come definito nella rivendicazione 6.

14. Sistema a microprocessore, comprendente un circuito di controllo delle interruzioni (INTERRUPT CONTROLLER), una pluralità di periferiche ciascuna essendo associata ad un rispettivo registro delle interruzioni pendenti (INT PENDING REG), detto circuito di controllo (INTERRUPT CONTROLLER) ricevente rispettivi segnali di interruzione (IRQ) corrispondenti alla OR logica di flag d'interruzione memorizzati nel rispettivo registro delle interruzioni pendenti (INT PENDING REG), un processore accoppiato a detto circuito di controllo e a dette periferiche, caratterizzato dal fatto che comprende

un circuito ausiliario di controllo come definito nella rivendicazione 6 accoppiato a dette periferiche, inviante a detto processore una stringa di bit codificante la posizione di un bit attivo memorizzato nel

04/11/2002

registro delle interruzioni pendenti della periferica che ha generato
l'interruzione da servire.

p.p. STMicroelectronics S.r.l.

Il Mandatario

Gaetano Barbaro

Gaetano BARBARO

N° Iscr. Albo 994 B

(Società Italiana Brevetti S.p.A.)

BI347V



Elisa De Forzi
Elisa De Forzi

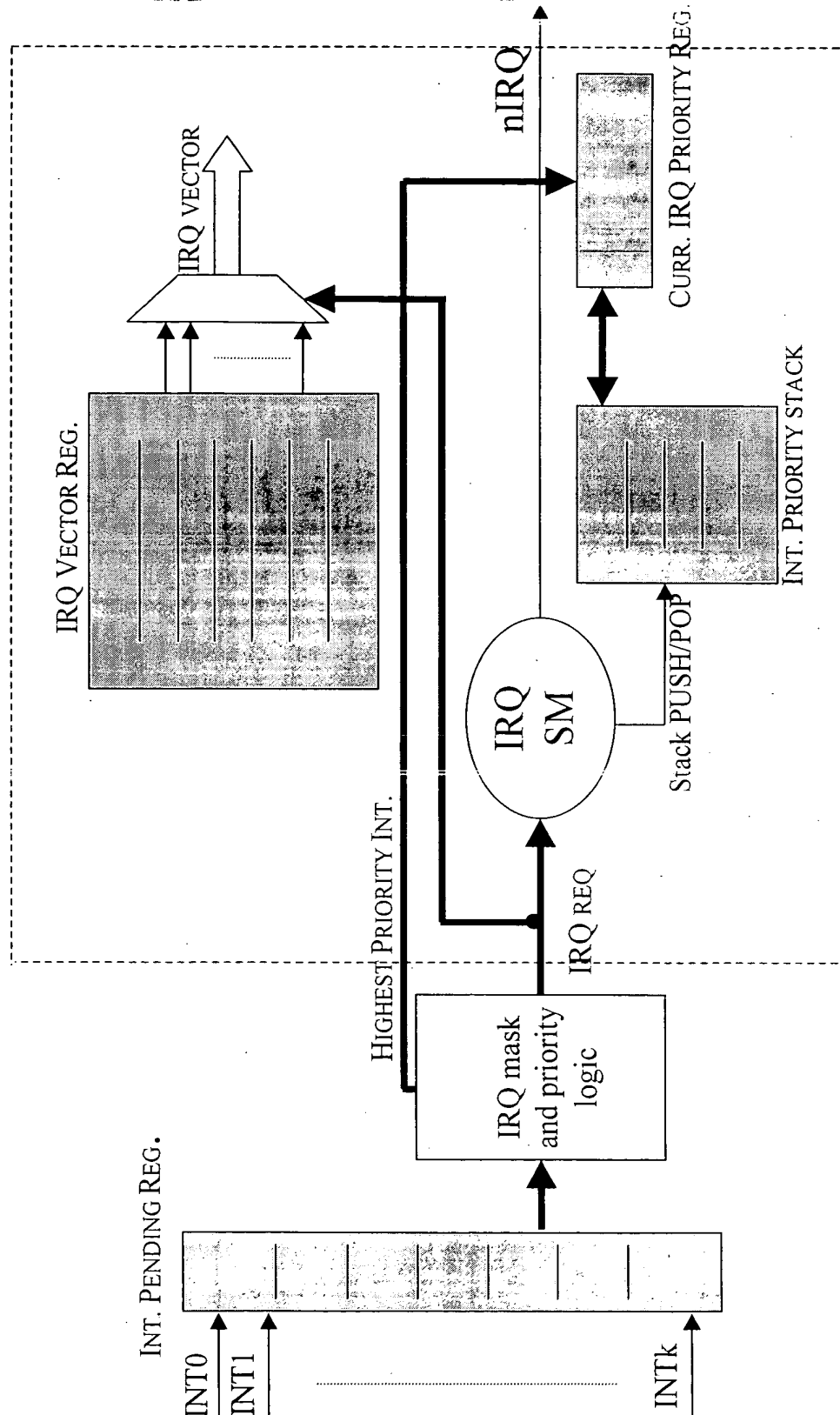


FIG. 1



Luigi De Renzi

Gaetano Barbaro
Gaetano BARBARO
N° Iscr. Albo 994 B

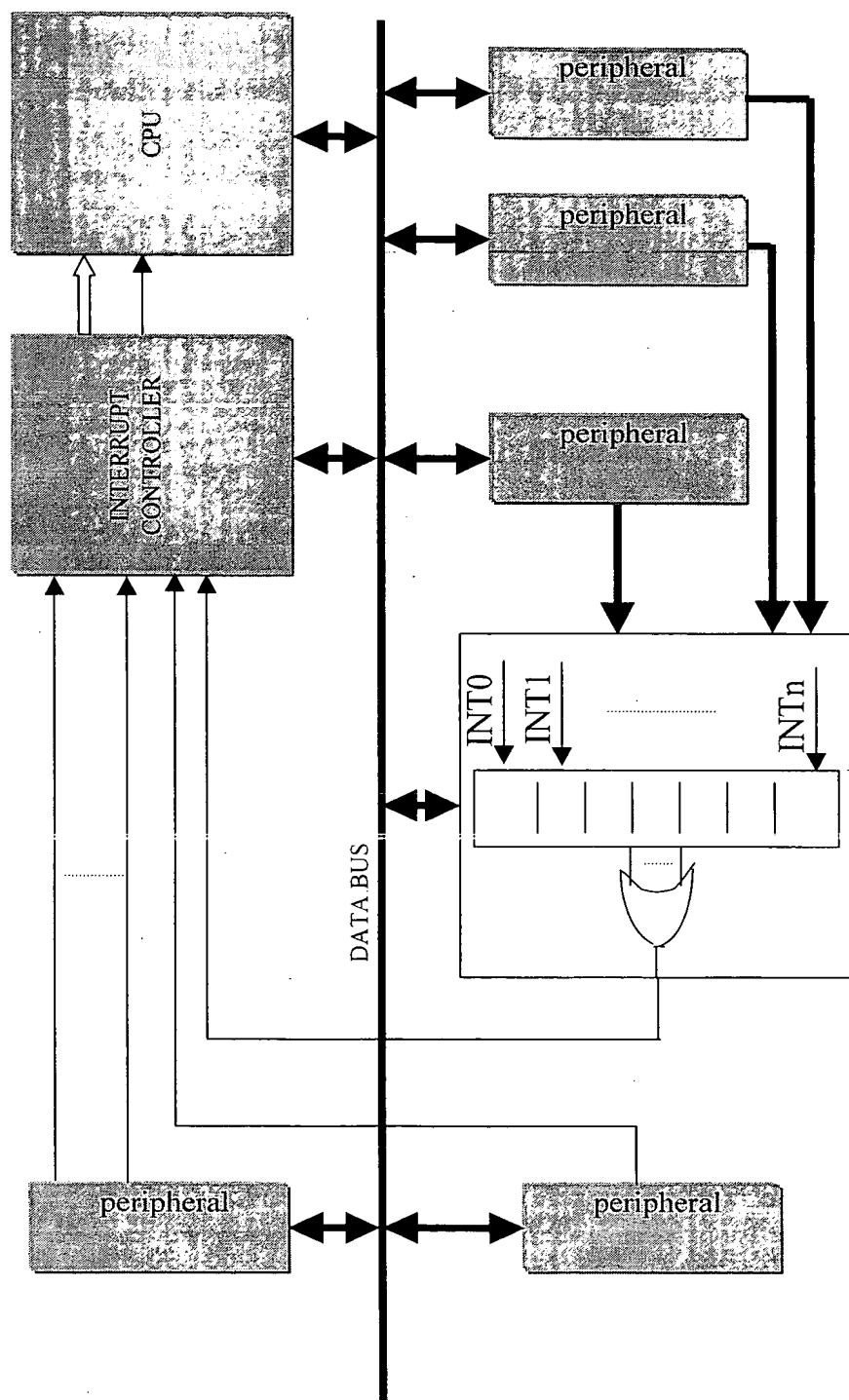


FIG. 2



Giuseppe De Perz

Gaetano Barbaro
Gaetano BARBARO
N° Iscr. Albo 994 B

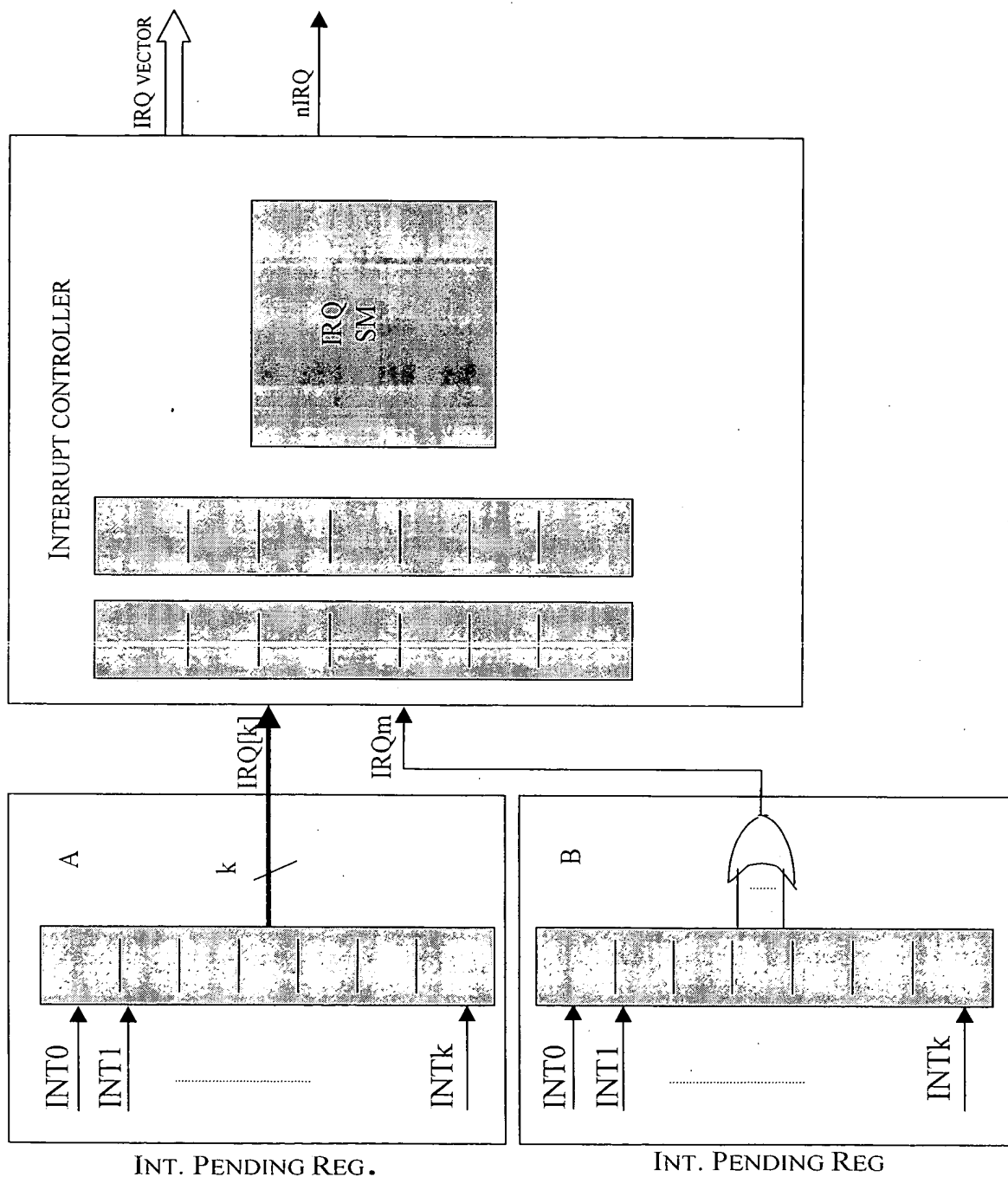


FIG. 3



Handwritten signature of Gaetano Barbaro

Gaetano Barbaro
Gaetano BARBARO
N° Iscr. Albo 994 B

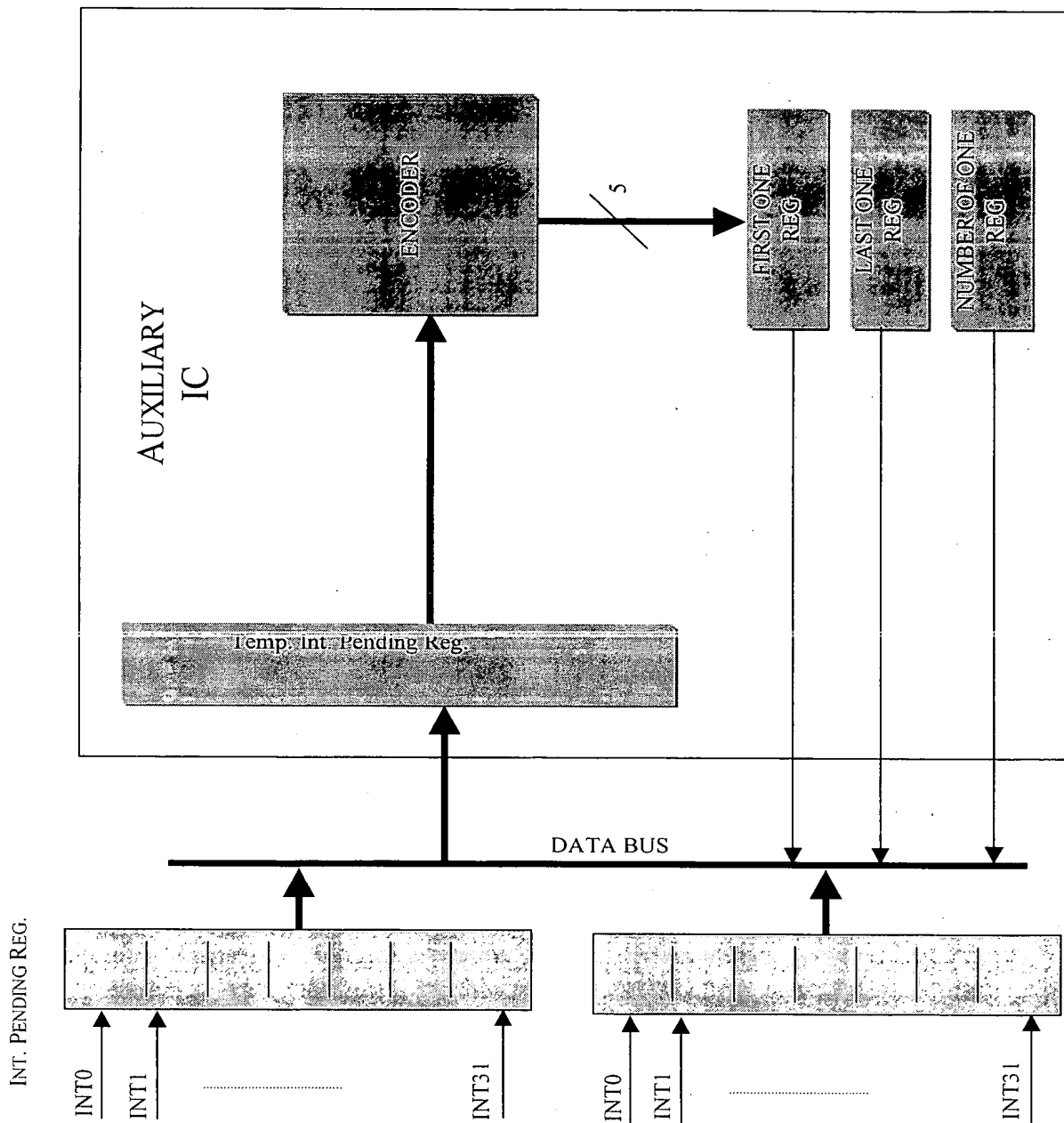


FIG. 4

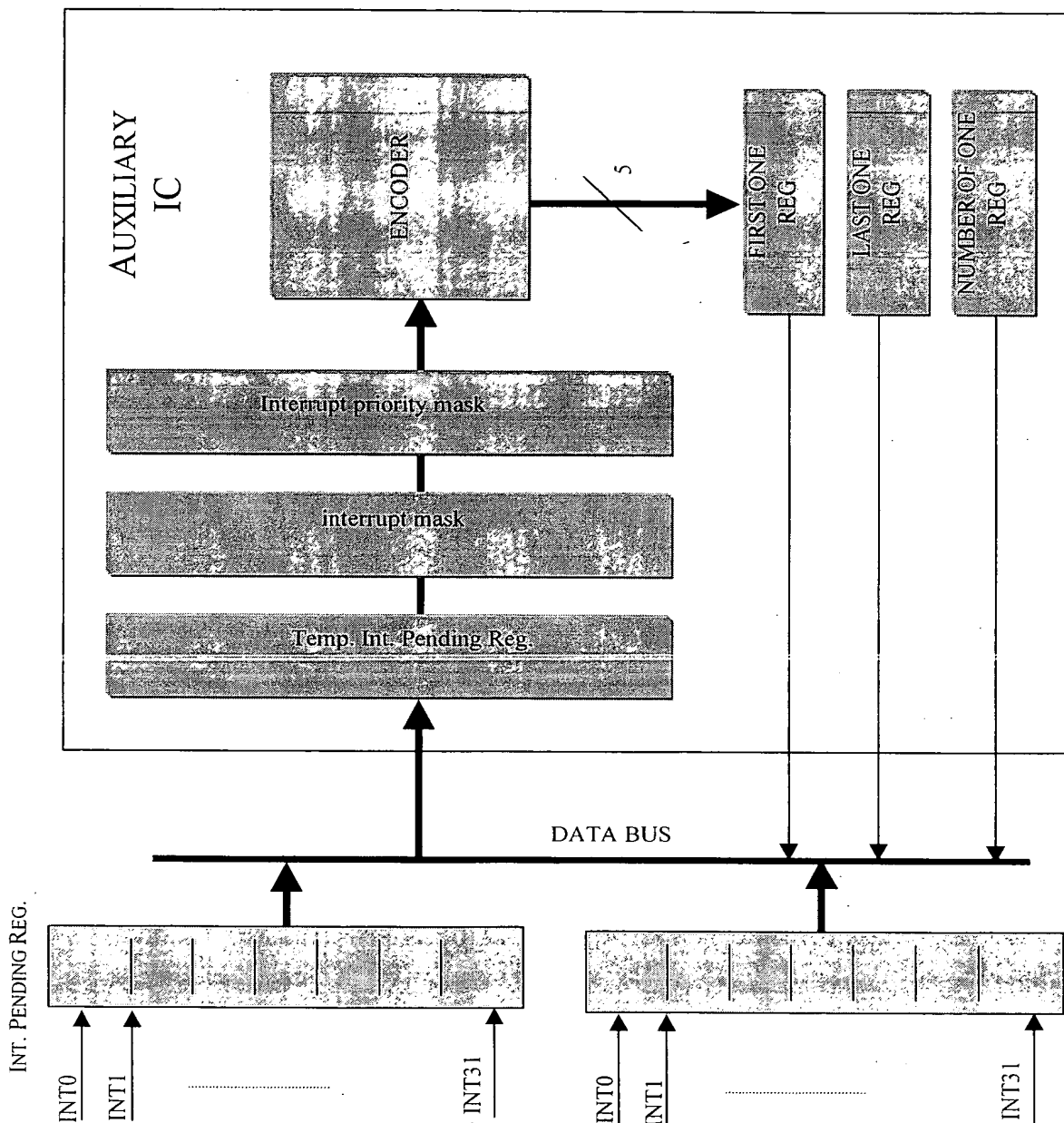


FIG. 5

04/03/2002

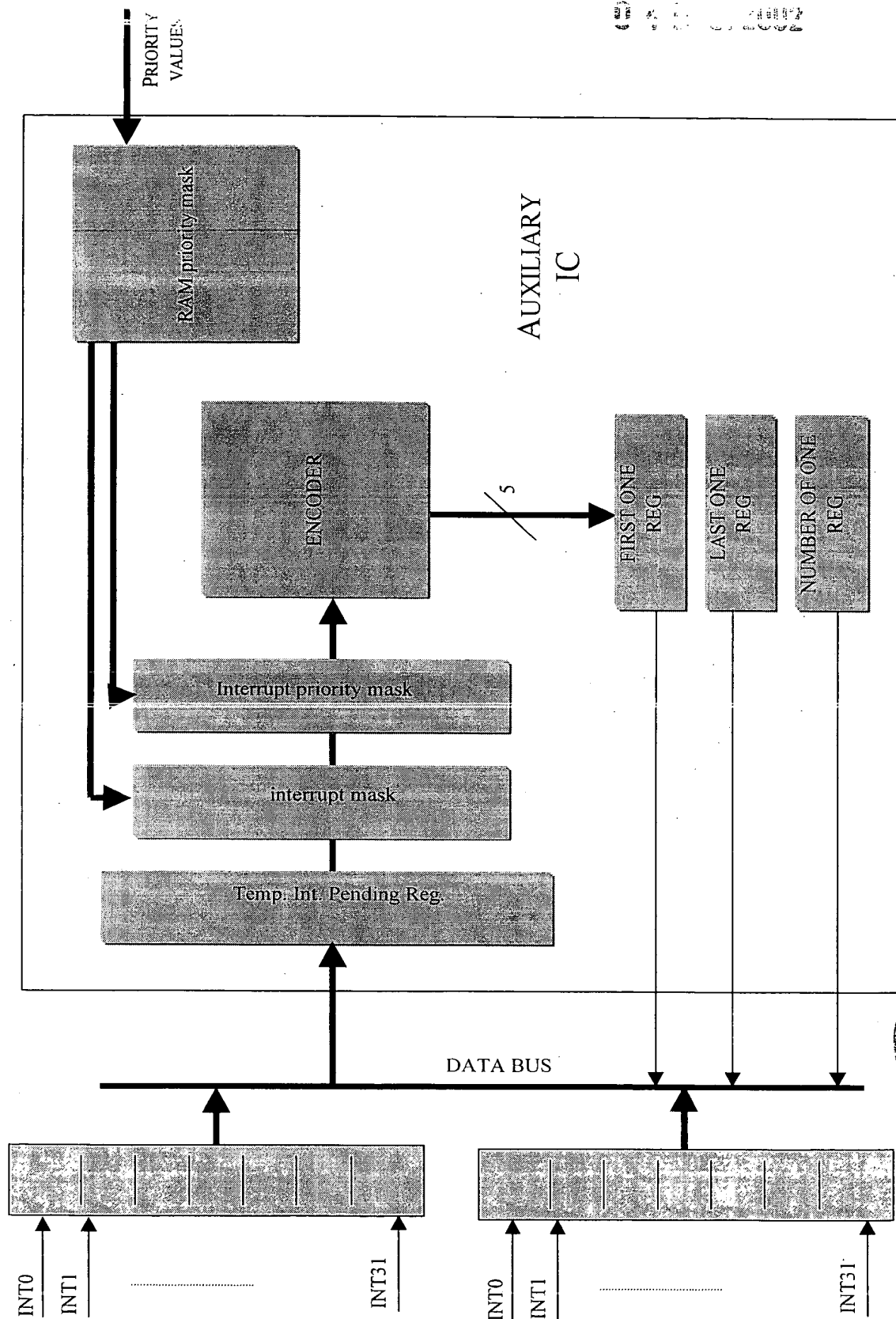


FIG. 6



Luigi De Forzi

Gaetano BARBARO
N° Iscr. Albo 994 B



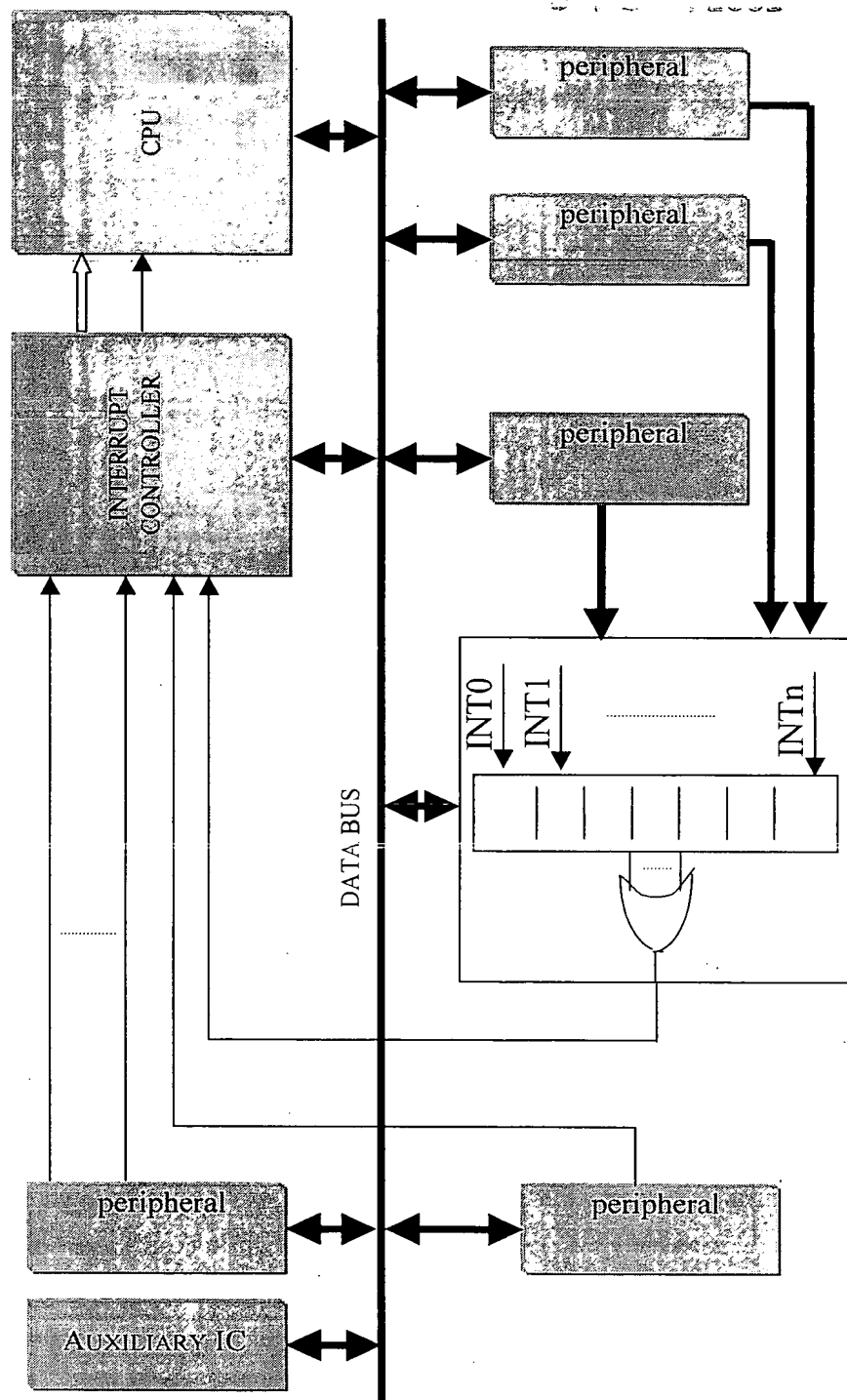


FIG. 7

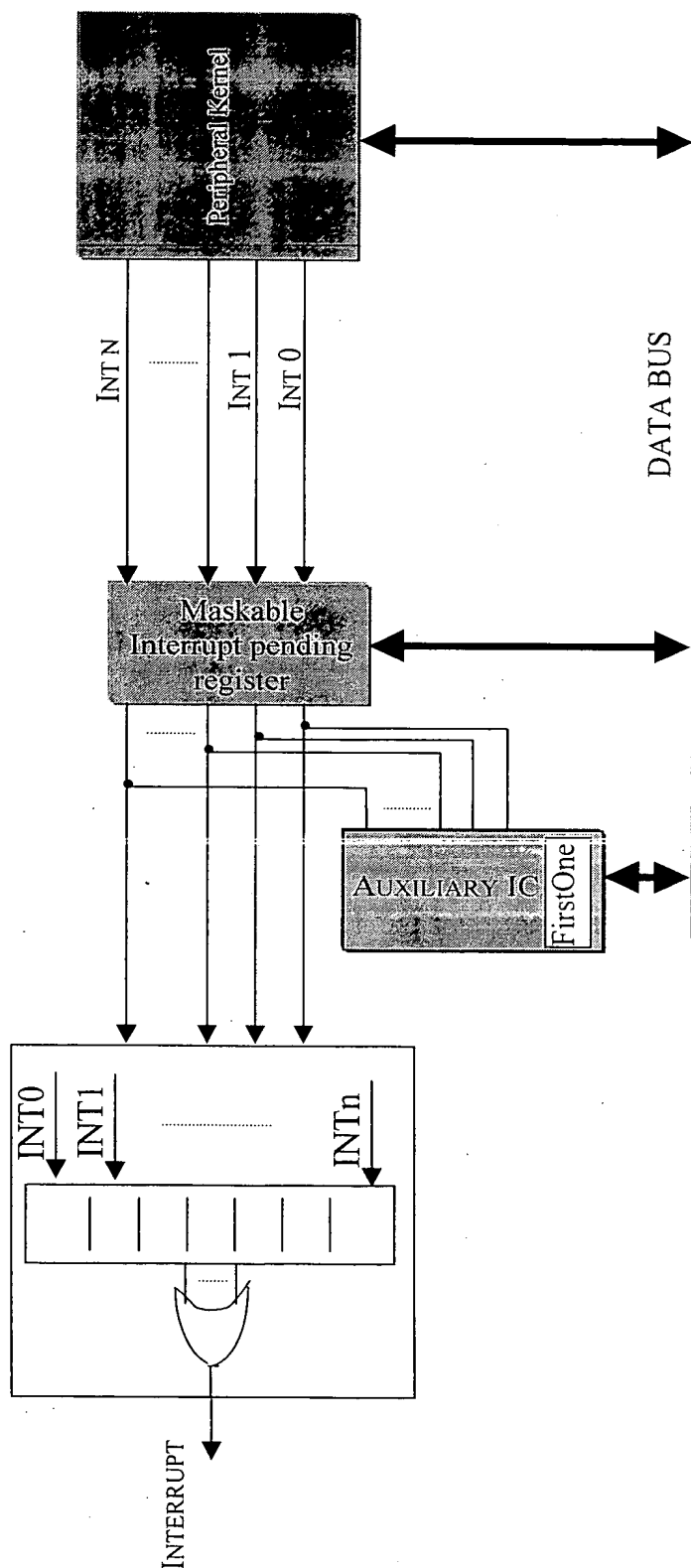


FIG. 8



Gaetano BARBARO

Gaetano BARBARO
Gaetano BARBARO
N° Iscr. Albo 994 B